

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Hiroyuki Nakamoto, et al.

Application. No.: TBD

Filed: December 1, 2003

:
:
:
:
:
:
:

Group Art Unit: TBD

Examiner: TBD

Title: ANALOG TO DIGITAL CONVERSION CIRCUIT

CLAIM FOR PRIORITY

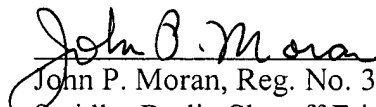
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

A certified copy of corresponding Japanese Application No. 2002-360826, filed December 12, 2002 is attached. It is requested that the right of priority provided by 35 U.S.C. 119 be extended by the U.S. Patent and Trademark Office.

Respectfully submitted,

Date: December 1, 2003



John P. Moran, Reg. No. 30,906
Swidler Berlin Shereff Friedman, LLP
3000 K Street, NW, Suite 300
Washington, DC 20007-5116
Telephone: (202) 424-7500
Facsimile: (202) 295-8478

()

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 1 2 日
Date of Application:

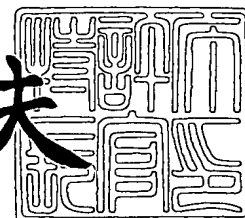
出 願 番 号 特 願 2 0 0 2 - 3 6 0 8 2 6
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 6 0 8 2 6]

出 願 人 富士通株式会社
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0241492

【提出日】 平成14年12月12日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03M 1/00

【発明の名称】 増幅回路、比較回路、及びA D変換回路

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 中本 裕之

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 後藤 邦彦

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 吉岡 正人

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 工藤 真大

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 増幅回路、比較回路、及び A D 変換回路

【特許請求の範囲】

【請求項 1】 第 1 の期間において所定の電位であり第 2 の期間において該所定の電位と異なる電位である入力アナログ信号を増幅してデジタル信号を出力する増幅器と、

該増幅器への電源供給を該第 1 の期間において停止する第 1 のスイッチと、

該増幅器の出力を該第 1 の期間において所定の電位に固定する第 2 のスイッチを含むことを特徴とする増幅回路。

【請求項 2】 該所定の電位は所定の上下限間の中間レベルの電位であり、該所定の電位と異なる電位は該中間レベル以外の該所定の上下限間にある電位であることを特徴とする請求項 1 記載の増幅回路。

【請求項 3】 該増幅器はインバータであることを特徴とする請求項 1 記載の増幅回路。

【請求項 4】 該第 1 のスイッチは MOS トランジスタであり、該増幅器を構成する MOS トランジスタの 2 倍以上のチャネル幅を有することを特徴とする請求項 1 記載の増幅回路。

【請求項 5】 該第 2 のスイッチは MOS トランジスタであり、該増幅器を構成する MOS トランジスタのチャネル幅以下のチャネル幅を有することを特徴とする請求項 1 記載の増幅回路。

【請求項 6】 第 1 の電位と第 2 の電位とを外部から受け取り、第 1 の期間において所定の上下限間の中間レベルの電位を出力し、第 2 の期間において該第 1 の電位と該第 2 の電位との大小関係を示す該中間レベルと異なる電位を出力する比較器と、

該比較器の出力信号を増幅してデジタル信号として出力する増幅器と、

該増幅器への電源供給を該第 1 の期間において停止する第 1 のスイッチと、

該増幅器の出力を該第 1 の期間において所定の電位に固定する第 2 のスイッチを含むことを特徴とする比較回路。

【請求項 7】 該第 1 の電位と該第 2 の電位とは差動信号を構成する一対の電位で

あることを特徴とする請求項 6 記載の比較回路。

【請求項 8】該増幅器の出力信号を変換する信号変換回路を更に含み、該増幅器は、該信号変換回路により変換された該比較器の出力信号を受け取ることを特徴とする請求項 6 記載の比較回路。

【請求項 9】該比較器は、

インバータと、

該インバータの入出力を該第 1 の期間において短絡するスイッチと、

該インバータの入力に第 1 端が接続されるコンデンサと、

該コンデンサの第 2 端と該第 1 の電位との間に設けられ該第 1 の期間において短絡するスイッチと、

該コンデンサの該第 2 端と該第 2 の電位との間に設けられ該第 2 の期間において短絡するスイッチ

を含むことを特徴とする請求項 6 記載の比較回路。

【請求項 10】それぞれ異なる参照電位を受け取ると共に同一の入力電位を受け取る複数の比較回路と、

該比較回路のデジタル信号出力をエンコードするエンコーダを含み、該比較回路の各々は、

第 1 の期間において所定の上下限間の中間レベルの電位を出力し、第 2 の期間において対応する参照電位と該入力電位との大小関係を示す該中間レベルと異なる電位を出力する比較器と、

該比較器の出力信号を増幅してデジタル信号として出力する増幅器と、

該増幅器への電源供給を該第 1 の期間において停止する第 1 のスイッチと、

該増幅器の出力を該第 1 の期間において所定の電位に固定する第 2 のスイッチを含むことを特徴とする A/D 変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に A/D 変換器（アナログ・デジタル変換器）に関し、詳しくは消費電力を削減した A/D 変換器に関する。

【従来の技術】

図1は、従来の比較回路の構成の一例を示す。

【0002】

この比較回路は特許文献1に示されるものであり、AD変換用のインバータ11及びオートゼロ付き比較器12を含む。オートゼロ付き比較器12は、増幅器として機能するインバータ14、比較スイッチ15、オートゼロスイッチ16及び17、及びコンデンサ18を含む。コンデンサ18の片側の端子に、比較スイッチ15又はオートゼロスイッチ16を介してそれぞれ入力電圧 V_i 又は基準電圧 V_r が供給される。ここでコンデンサ18の容量値をCとする。

【0003】

図2は、比較スイッチ15とオートゼロスイッチ16及び17を制御するタイミング信号を示す図である。

【0004】

図2に示されるタイミング信号 ϕ_0 は、オートゼロスイッチ16及び17に供給される。またタイミング信号 ϕ_1 は比較スイッチ15に供給される。オートゼロ期間において、タイミング信号 ϕ_0 はHIGHであり、オートゼロスイッチ16及び17がオン（導通状態）になる。このときタイミング信号 ϕ_1 はLOWであり、比較スイッチ15はオフ（開放状態）である。

【0005】

上記のようにオートゼロスイッチ17がオンすることで、インバータ14の入出力が短絡される。これにより、図3（a）のインバータ14の入出力特性において、入出力電圧はゲインが一番高い電圧にバイアスされる。この電圧は通常は電源電圧の約1/2に設定されており、ここでは V_{TH} として示してある。

【0006】

このようにして、コンデンサ18のインバータ14側の端子の電位は V_{TH} となる。このときオートゼロスイッチ16がオンされているので、コンデンサ18のオートゼロスイッチ16側の端子の電圧は V_r であり、コンデンサ18に蓄えられる電荷は、

$$Q = C (V_r - V_{TH})$$

となる。

【0007】

次の比較期間において、タイミング信号 $\phi 0$ は LOW であり、オートゼロスイッチ 16 及び 17 がオフ（開放状態）になる。このときタイミング信号 $\phi 1$ は HIGH であり、比較スイッチ 15 がオン（導通状態）になる。比較スイッチ 15 が導通することで、コンデンサ 18 の比較スイッチ 15 側の端子の電位は、 V_r から V_i に変化する。このときコンデンサ 18 の電荷に充放電パスは存在しないので、上記電荷 Q はスイッチの切り換え前後で保存される。

【0008】

従って、コンデンサ 18 の比較スイッチ 15 側の端子に $V_i - V_r$ の電位変化が生じると、インバータ 14 側の端子にも同様に $V_i - V_r$ の電位変化が生じることになる。オートゼロ期間におけるインバータ 14 側の端子の電位は V_{TH} であったので、比較期間においては、

$$V_i - V_r + V_{TH}$$

の電位に設定される。

【0009】

インバータ 11 及びインバータ 14 のゲインをそれぞれ A_1 及び A_4 とおくと、図 1 の比較回路の出力電圧 V_o は、

$$V_o = A_4 A_1 (V_i - V_r + V_{TH})$$

と表される。即ち、入力関係が $V_i > V_r$ の時には出力 V_o が HIGH ($> V_{TH}$) となり、入力関係が $V_i < V_r$ の時には出力 V_o が LOW ($< V_{TH}$) となり、入力 V_i と V_r との大小関係を判定する比較器として動作する。

【0010】

上記のような比較回路を用いた場合、オートゼロ期間中にインバータ 14 の出力電圧がゲインの一番高い電圧にバイアスされる。このとき、図 3 (b) の電流特性に示すように、インバータ 14 には最大の貫通電流が流れる。またインバータ 11 の入力も V_{TH} となるので、同様にインバータ 11 を流れる貫通電流も最大となる。このようにして比較回路の消費電流が大きくなると、ノイズ発生の原因ともなり、比較回路を AD 変換回路に使用した場合に変換精度が低下する等

の問題が生じる。

【0011】

このような問題を解決するために、インバータ 11 又は 14 の貫通電流を削減させる方法が提案されている（特許文献 2 乃至 12）。

【0012】

図 4 は、インバータ 11 の低電力化を実現する比較回路の一例を示す図である。図 4 において、図 1 と同一の構成要素は同一の番号で参照する。

【0013】

図 4 の比較回路は特許文献 2 に示されるものであり、インバータ 11 の代わりにクロックドインバータ 11A が設けられることが図 1 の比較回路と異なる。クロックドインバータ 11A は、PMOS トランジスタ 21 及び 22 と NMOS トランジスタ 23 及び 24 を含む。PMOS トランジスタ 22 と NMOS トランジスタ 23 とが、オートゼロ期間中でオフになる電源供給スイッチとして機能する。

【0014】

この電源供給スイッチは、オートゼロ期間中では開放状態になることによりクロックドインバータ 11A に流れる貫通電流を削減し、比較期間中では導通状態となることにより通常のインバータと同様の振る舞いをする。

【0015】

【特許文献 1】

特開平 1-120117 号公報

【0016】

【特許文献 2】

特開平 1-120117 号公報

【0017】

【特許文献 3】

特開昭 58-79333 号公報

【0018】

【特許文献 4】

特開昭 61-84110 号公報

【0019】

【特許文献 5】

特開昭 61-252707 号公報

【0020】

【特許文献 6】

特開昭 61-196614 号公報

【0021】

【特許文献 7】

特開平 1-133410 号公報

【0022】

【特許文献 8】

特開平 3-85013 号公報

【0023】

【特許文献 9】

特開平 3-98310 号公報

【0024】

【特許文献 10】

特開平 8-46495 号公報

【0025】

【特許文献 11】

特開平 7-86945 号公報

【0026】

【特許文献 12】

特開 2001-196902 号公報

【発明が解決しようとする課題】

一般的に、A/D変換回路等に用いられる比較回路の出力は、エンコーダ等のデジタル回路に接続される。図4の回路構成では、クロックドインバータ11Aの貫通電流を削減させる目的で電源供給スイッチをオフさせるため、クロックドイ

ンバータ 11A の出力電位 V_o はフローティング状態となってしまう。従って、次段に接続されたデジタル回路には、フローティングの電圧が入力されることになり、次段のデジタル回路にて貫通電流が増大する可能性がある。

【0027】

以上を鑑みて、本発明は、比較回路内部の貫通電流を削減すると共に次段に接続した回路の貫通電流をも削減することが可能な比較回路を提供することを目的とする。

【課題を解決するための手段】

本発明による増幅回路は、第 1 の期間において所定の電位であり第 2 の期間において該所定の電位と異なる電位である入力アナログ信号を増幅してデジタル信号を出力する増幅器と、該増幅器への電源供給を該第 1 の期間において停止する第 1 のスイッチと、該増幅器の出力を該第 1 の期間において所定の電位に固定する第 2 のスイッチを含むことを特徴とする。

【0028】

本発明による比較回路は、第 1 の電位と第 2 の電位とを外部から受け取り、第 1 の期間において所定の上下限間の中間レベルの電位を出力し、第 2 の期間において該第 1 の電位と該第 2 の電位との大小関係を示す該中間レベルと異なる電位を出力する比較器と、該比較器の出力信号を増幅してデジタル信号として出力する増幅器と、該増幅器への電源供給を該第 1 の期間において停止する第 1 のスイッチと、該増幅器の出力を該第 1 の期間において所定の電位に固定する第 2 のスイッチを含むことを特徴とする。

【0029】

上記増幅回路及び比較回路においては、第 1 の期間（オートゼロ期間）で中間値をとり第 2 の期間（比較期間）で中間値以外の値をとるアナログ信号を増幅器によりデジタル信号に変換する際に、オートゼロ期間においては、第 1 のスイッチをオフにして貫通電流を無くすと共に第 2 のスイッチをオンにして増幅器の出力電位を所定の電位（グランド又は電源電位）に固定する。これにより増幅回路における消費電流を少なくすると共に、次段に接続される回路における貫通電流を削減することができる。

【0030】

また本発明によるAD変換回路は、それぞれ異なった参照電位を受け取ると共に同一の入力電位を受け取る複数の比較回路と、該比較回路のデジタル信号出力をエンコードするエンコーダを含み、該比較回路の各々は、第1の期間において所定の上下限間の中間レベルの電位を出力し、第2の期間において対応する参照電位と該入力電位との大小関係を示す該中間レベルと異なる電位を出力する比較器と、該比較器の出力信号を増幅してデジタル信号として出力する増幅器と、該増幅器への電源供給を該第1の期間において停止する第1のスイッチと、該増幅器の出力を該第1の期間において所定の電位に固定する第2のスイッチを含むことを特徴とする。

【0031】

上記AD変換回路は、それぞれ異なる参照電位と入力電位との大小関係を示す複数のデジタル信号をエンコードして、入力電位の電位レベルを指し示すデジタルコードを出力する。この際、本発明による増幅回路を使用しているため、比較回路での貫通電流を削減し、また比較回路の次段に接続されるエンコーダにおける貫通電流を低下させることができる。従って、消費電流の増大によりノイズが発生しAD変換精度が低下することを避けることができる。

【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0032】

図5は、本発明による増幅回路の構成の一例を示す図である。

【0033】

図5の増幅回路31は、図1のAD変換用のインバータ11の代わりに使用される装置であり、アナログ入力をデジタル出力に変換するための増幅器32、電源供給スイッチ33、出力信号固定スイッチ34を含む。増幅器32として、図5の例においてはインバータを使用している。電源供給スイッチ33は増幅器32に所定のタイミングで電源を供給する役割を有し、出力信号固定スイッチ34は増幅器32の出力を所定のタイミングで所定の電位（図5の例ではグランド電位）に固定する役割を有する。

【0034】

図6は、電源供給スイッチ33を制御するタイミング信号 $\phi 2$ と出力信号固定スイッチ34を制御するタイミング信号 $\phi 3$ を示す図である。

【0035】

図6に示されるように、タイミング信号 $\phi 2$ は図1のオートゼロ付き比較器12の比較スイッチ15を制御するタイミング信号 $\phi 1$ と同一であり、オートゼロ期間でLOWであり比較期間でHIGHになる。即ち電源供給スイッチ33は、オートゼロ期間でオフであり比較期間でオンされる。これにより増幅器32は、オートゼロ期間で非動作状態であり比較期間で動作状態となる。

【0036】

タイミング信号 $\phi 3$ は図1のオートゼロ付き比較器12のオートゼロスイッチ16及び17を制御するタイミング信号 $\phi 0$ と同一であり、オートゼロ期間でHIGHであり比較期間でLOWになる。即ち出力信号固定スイッチ34は、オートゼロ期間でオンであり比較期間でオフされる。これにより増幅器32の出力は、オートゼロ期間で所定電位（グランド電位）に固定され、比較期間で増幅器32が出力する信号レベルとなる。

【0037】

増幅回路31への入力は、オートゼロ期間においては中間レベルのアナログ信号であり、比較期間においては入力信号と基準信号との大小関係を示すアナログ信号となる。増幅器32は、入力されるアナログ信号をHIGH又はLOWの2値表現をとるデジタル信号に近づけるために、入力アナログ信号を増幅して波形を整形する。オートゼロ期間においては、電源供給スイッチ33をオフにして増幅器32の貫通電流を無くし、出力信号固定スイッチ34をオンにして増幅器32の出力電位をグランドに固定する。これにより増幅回路31における消費電流を少なくすると共に、次段に接続される回路における貫通電流を削減することができる。

【0038】

電源供給スイッチ33は、図5の例では増幅器32と電源との間の位置に配置されるが、代わりにAとして示される増幅器32とグランド間の位置に配置され

てもよい。また出力信号固定スイッチ 3 4 は、増幅器 3 2 の出力電位をオートゼロ期間中に所定の電位に接続するためのものであり、接続先の電位は図 5 の例ではグランド電位であるが、代わりに電源電位であってもよい。

【 0 0 3 9 】

このように本発明による増幅回路においては、オートゼロ期間で中間値を取り比較期間で中間値以外の値をとるアナログ信号を増幅器によりデジタル信号に変換する際に、オートゼロ期間においては、電源供給スイッチをオフにして貫通電流を無くすと共に出力信号固定スイッチをオンにして増幅器の出力電位をグランドに固定する。これにより増幅回路における消費電流を少なくすると共に、次段に接続される回路における貫通電流を削減することができる。

【 0 0 4 0 】

図 7 は、図 5 の増幅回路の第 1 の実施例を示す図である。

【 0 0 4 1 】

図 7 において、増幅回路 3 1 A は、アナログ入力をデジタル出力に変換するための増幅器 3 2、電源供給スイッチ 3 3 A、及び出力信号固定スイッチ 3 4 A を含む。増幅器 3 2 は、図 7 の例においてはインバータであり、PMOS トランジスタ 3 6 及び NMOS トランジスタ 3 7 を含む。電源供給スイッチ 3 3 A は PMOS トランジスタで実現され、出力信号固定スイッチ 3 4 A は NMOS トランジスタで実現される。

【 0 0 4 2 】

図 8 は、図 5 の増幅回路の第 2 の実施例を示す図である。

【 0 0 4 3 】

図 8 において、増幅回路 3 1 B は、アナログ入力をデジタル出力に変換するための増幅器 3 2、電源供給スイッチ 3 3 B、及び出力信号固定スイッチ 3 4 B を含む。増幅器 3 2 は、図 8 の例においてはインバータであり、PMOS トランジスタ 3 6 及び NMOS トランジスタ 3 7 を含む。電源供給スイッチ 3 3 B は NMOS トランジスタで実現され、増幅器 3 2 とグランド電位との間に配置される。出力信号固定スイッチ 3 4 B は PMOS トランジスタで実現され、増幅器 3 2 の出力を電源電位に接続する位置に設けられる。

【0044】

上記第1及び第2実施例の構成においては、増幅回路における消費電流を少なくすると共に、次段に接続される回路における貫通電流を削減することができる。

【0045】

また以下に説明するように、電源供給スイッチ及び出力信号固定スイッチのチャネル幅を適切な幅に設定すれば、動作速度の低下を抑制する効果が得られる。

【0046】

図7の構成において、電源供給スイッチ33Aのチャネル幅を、増幅器32を構成するPMOSトランジスタ36のチャネル幅の2倍以上とし、さらに出力信号固定スイッチ34Aのチャネル幅を、増幅器32を構成するNMOSトランジスタ37のチャネル幅と同等或いはそれ以下にする。また図8の構成において、電源供給スイッチ33Bのチャネル幅を、増幅器32を構成するNMOSトランジスタ37のチャネル幅の2倍以上とし、さらに出力信号固定スイッチ34Bのチャネル幅を、増幅器32を構成するPMOSトランジスタ36のチャネル幅と同等或いはそれ以下にする。

【0047】

上記のような構成にすることで、電源供給スイッチ33A又は33BによりON抵抗の増加によって出力負荷への電流供給が減少することを可能な限り回避し、また出力信号固定スイッチ34A又は34Bにより出力負荷容量の増加によって出力信号の変化速度が低下することを抑えることができる。

【0048】

図9は、本発明による比較回路の第1実施例の構成を示す図である。図8において、図1及び図5と同一の構成要素は同一の番号で参照する。

【0049】

図9の比較回路は、オートゼロ付き比較器12と増幅回路31を含む。オートゼロ付き比較器12は、図1に示されるように入力信号V_iと基準信号V_rを入力とし、オートゼロ期間では中間レベルのアナログ信号を出力し、比較期間では入力信号V_iと基準信号V_rの大小関係を示すアナログ信号を出力する。増幅回

路 31 は、オートゼロ期間においては、電源供給スイッチをオフにして貫通電流を無くすと共に出力信号固定スイッチをオンにして増幅器の出力電位をグランドに固定する。これにより増幅回路における消費電流を少なくすると共に、次段に接続される回路における貫通電流を削減することができる。

【0050】

図 10 は、本発明による比較回路の第 2 実施例の構成を示す図である。図 10 において、図 9 と同一の構成要素は同一の番号で参照し、その説明は省略する。

【0051】

図 10 の比較回路は、オートゼロ付き比較器 12A と増幅回路 31 を含む。オートゼロ付き比較器 12A は、差動信号 V_{ip} 及び V_{im} を入力とする回路であり、差動増幅器 41、第 1 の差動入力スイッチ 42、第 2 の差動入力スイッチ 43、コンデンサ 44 及び 45、オートゼロスイッチ 46 及び 47 を含む。オートゼロスイッチ 46 及び 47 は、図 2 に示すタイミング信号 ϕ_0 により制御されてオートゼロ期間に導通される。第 1 の差動入力スイッチ 42 及び第 2 の差動入力スイッチ 43 は、図 2 に示すタイミング信号 ϕ_1 により制御されて比較期間に導通される。

【0052】

図 11 は、本発明による比較回路の第 3 実施例の構成を示す図である。図 11 において、図 9 と同一の構成要素は同一の番号で参照し、その説明は省略する。

【0053】

図 11 の比較回路は、オートゼロ付き比較器 12、増幅回路 31、及びアナログ信号変換器 51 を含む。アナログ信号変換器 51 は、レベルシフタや増幅器等であり、アナログ信号入力に何らかの変換を施してアナログ信号を出力する回路である。オートゼロ付き比較器 12 の後段には、比較回路内に存在する複数の増幅器の閾値が異なる場合にレベルシフタを挿入したり、入力信号と基準信号の差が微差である場合に高速且つ正確な比較結果が得られるように増幅器を挿入したりすることがある。アナログ信号変換器 51 は、このような目的のために挿入される回路である。なお図 11 において、オートゼロ付き比較器 12 を設ける構成ではなく、図 10 に示されるオートゼロ付き比較器 12A を設ける構成としても

よい。

【0054】

図12は、アナログ信号変換器51の一例を示す図である。図12において、図9と同一の構成要素は同一の番号で参照し、その説明は省略する。

【0055】

図12のアナログ信号変換器51は、増幅器であり、PMOSトランジスタ52及び定電流源53を含む。この増幅器は、入力信号と基準信号の差が非常に小さい場合でも、より高速かつ正確な比較結果が得られるように、信号を増幅する目的で挿入されている。

【0056】

図13は、本発明による比較回路の第4実施例の構成を示す図である。図13において、図9と同一の構成要素は同一の番号で参照し、その説明は省略する。

【0057】

図13の比較回路は、オートゼロ付き比較器12Bと2つの増幅回路31を含む。オートゼロ付き比較器12Bは、差動信号 V_{ip} 及び V_{im} を入力とする回路であり、オートゼロ期間で中間レベルの差動アナログ信号を出力し、比較期間で差動入力信号間の大小関係を示す差動アナログ信号を出力する。オートゼロ付き比較器12Bは、差動増幅器61、第1の差動入力スイッチ62、第2の差動入力スイッチ63、コンデンサ64及び65、オートゼロスイッチ66及び67を含む。オートゼロスイッチ66及び67は、図2に示すタイミング信号 ϕ_0 により制御されてオートゼロ期間に導通される。第1の差動入力スイッチ62及び第2の差動入力スイッチ63は、図2に示すタイミング信号 ϕ_1 により制御されて比較期間に導通される。

【0058】

図14は、本発明によるAD変換回路の構成の一例を示す図である。

【0059】

図14のAD変換回路は、複数の比較回路71とエンコーダ72を含む。比較回路71は、例えば図9又は図11に示される本発明による比較回路であり、オートゼロ付き比較器と本発明の増幅回路31とを含む。比較回路71は、単独で

用いられる際には、アナログ入力信号である入力電位 V_i と参照電位 V_r とを比較して、これらの大小関係を示す電位レベルをデジタル信号として出力する。図 14 では、4 つの比較回路 71 が設けられており、それぞれ対応する参照電位 V_{r1} 、 V_{r2} 、 V_{r3} 、及び V_{r4} を受け取ると共に、同一の入力電位 V_i を受け取る。比較回路 71 の各々は、対応する参照電位と入力電位 V_i とを比較して、両電位の大小関係を示すデジタル信号を出力する。

【0060】

比較回路 71 が出力するデジタル信号は、エンコーダ 72 に入力される。エンコーダ 72 は、参照電位 V_{r1} 、 V_{r2} 、 V_{r3} 、及び V_{r4} と入力電位 V_i との大小関係を示す複数のデジタル信号をエンコードして、入力電位 V_i の電位レベルを指し示すデジタルコードを出力する。

【0061】

図 14 の AD 変換回路においては、比較回路 71 の増幅回路部分に、本発明による増幅回路を使用しているため、比較回路 71 での貫通電流を削減し、また比較回路 71 の次段に接続されるエンコーダ 72 における貫通電流を低下させることができる。従って、消費電流の増大によりノイズが発生し AD 変換精度が低下することを避けることができる。

【0062】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【発明の効果】

上記説明した増幅回路及び比較回路においては、オートゼロ期間で中間値を取り比較期間で中間値以外の値をとるアナログ信号を増幅器によりデジタル信号に変換する際に、オートゼロ期間においては、第 1 のスイッチをオフにして貫通電流を無くすと共に第 2 のスイッチをオンにして増幅器の出力電位を所定の電位に固定する。これにより増幅回路における消費電流を少なくすると共に、次段に接続される回路における貫通電流を削減することができる。

【0063】

また AD 変換回路は、それぞれ異なる参照電位と入力電位との大小関係を示す

複数のデジタル信号をエンコードして、入力電位の電位レベルを指し示すデジタルコードを出力する。この際、本発明による増幅回路を使用しているため、比較回路での貫通電流を削減し、また比較回路の次段に接続されるエンコーダにおける貫通電流を低下させることができる。従って、消費電流の増大によりノイズが発生し A/D 変換精度が低下することを避けることができる。

【図面の簡単な説明】

【図 1】

従来の比較回路の構成の一例を示す回路図である。

【図 2】

比較スイッチとオートゼロスイッチとを制御するタイミング信号を示すタイミング図である。

【図 3】

(a) はインバータの入出力特性を示す図であり、(b) はインバータの電流特性を示す図である。

【図 4】

インバータの低電力化を実現する比較回路の公知例を示す回路図である。

【図 5】

本発明による増幅回路の構成の一例を示す回路図である。

【図 6】

電源供給スイッチを制御するタイミング信号と出力信号固定スイッチを制御するタイミング信号とを示すタイミング図である。

【図 7】

図 5 の増幅回路の第 1 の実施例を示す図である。

【図 8】

図 5 の増幅回路の第 2 の実施例を示す図である。

【図 9】

本発明による比較回路の第 1 実施例の構成を示す図である。

【図 10】

本発明による比較回路の第 2 実施例の構成を示す図である。

【図 1 1】

本発明による比較回路の第 3 実施例の構成を示す図である。

【図 1 2】

アナログ信号変換器の一例を示す図である。

【図 1 3】

本発明による比較回路の第 4 実施例の構成を示す図である。

【図 1 4】

本発明による A/D 変換回路の構成の一例を示す図である。

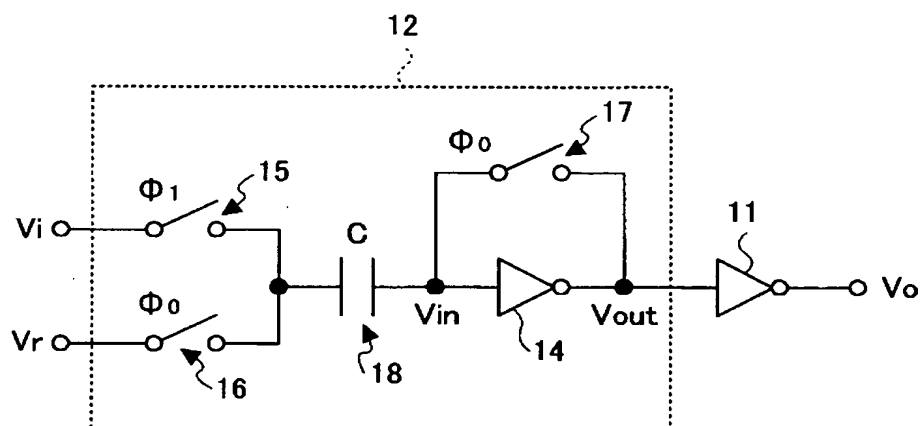
【符号の説明】

- 1 1 A/D 変換用のインバータ
- 1 2 オートゼロ付き比較器
- 1 4 インバータ
- 1 5 比較スイッチ
- 1 6、1 7 オートゼロスイッチ
- 1 8 コンデンサ
- 3 1 増幅回路
- 3 2 増幅器
- 3 3 電源供給スイッチ
- 3 4 出力信号固定スイッチ

【書類名】 図面

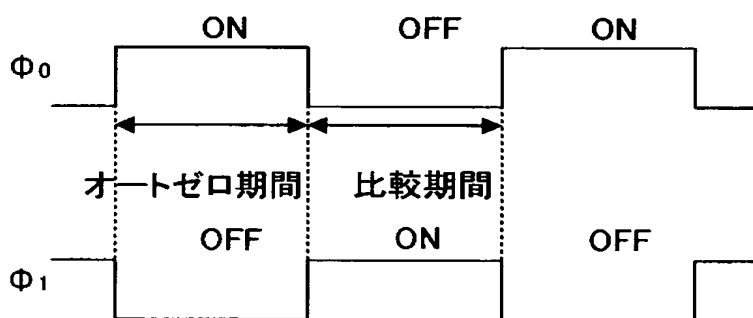
【図 1】

従来の比較回路の構成の一例を示す回路図



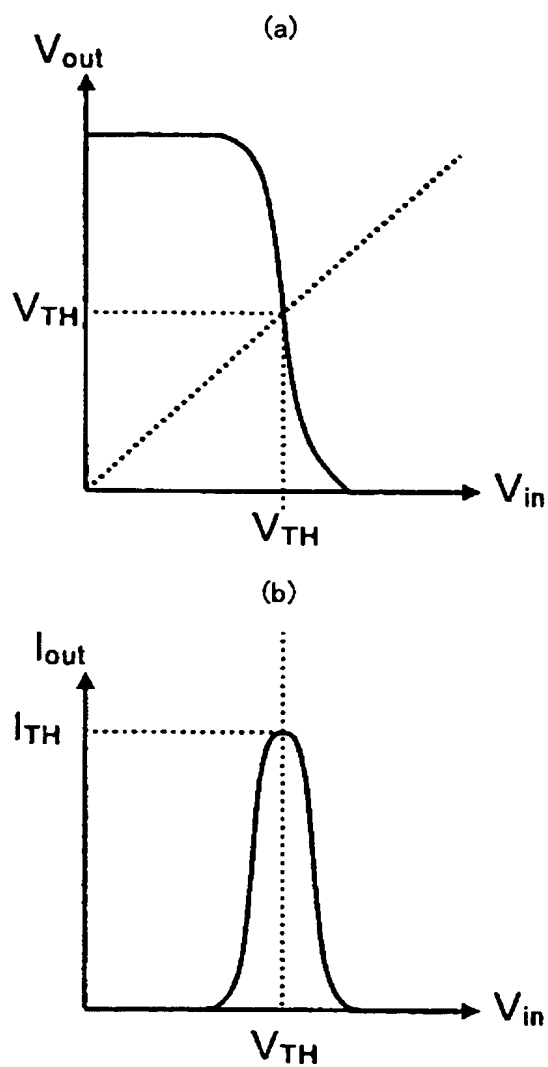
【図 2】

比較スイッチとオートゼロスイッチとを制御するタイミング信号を示すタイミング図



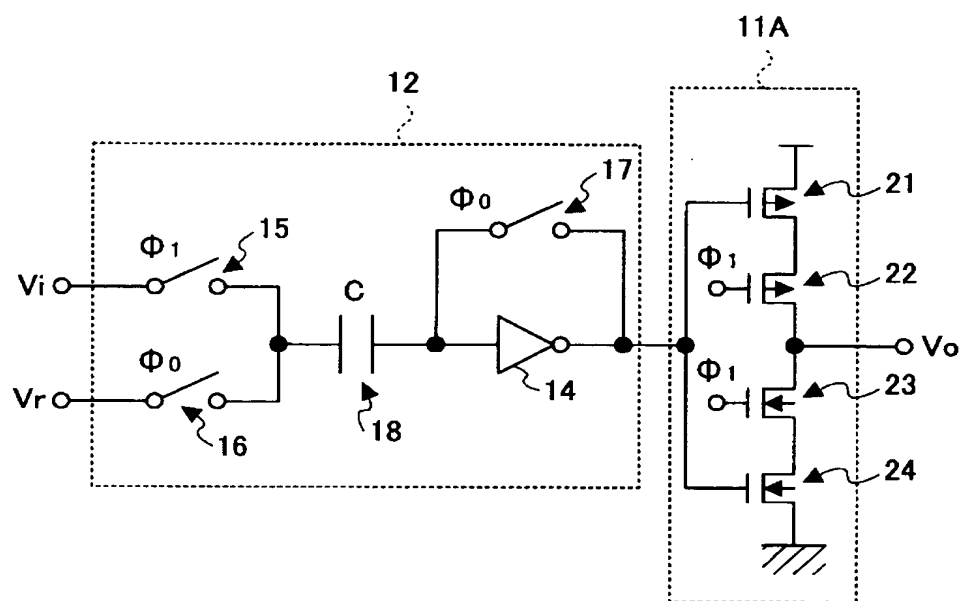
【図 3】

(a) はインバータの入出力特性を示す図であり、
(b) はインバータの電流特性を示す図



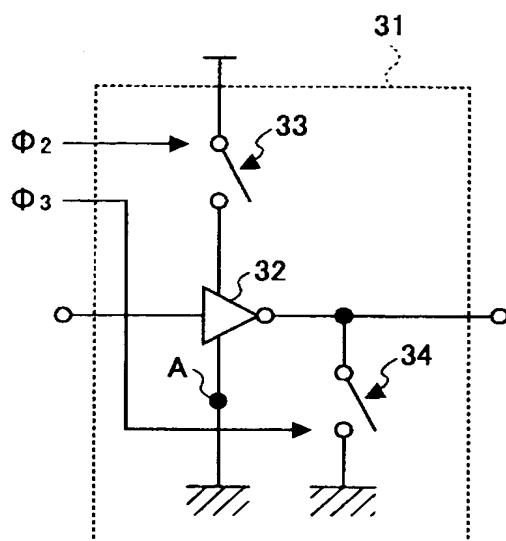
【図 4】

インバータの低電力化を実現する比較回路の一例を示す回路図



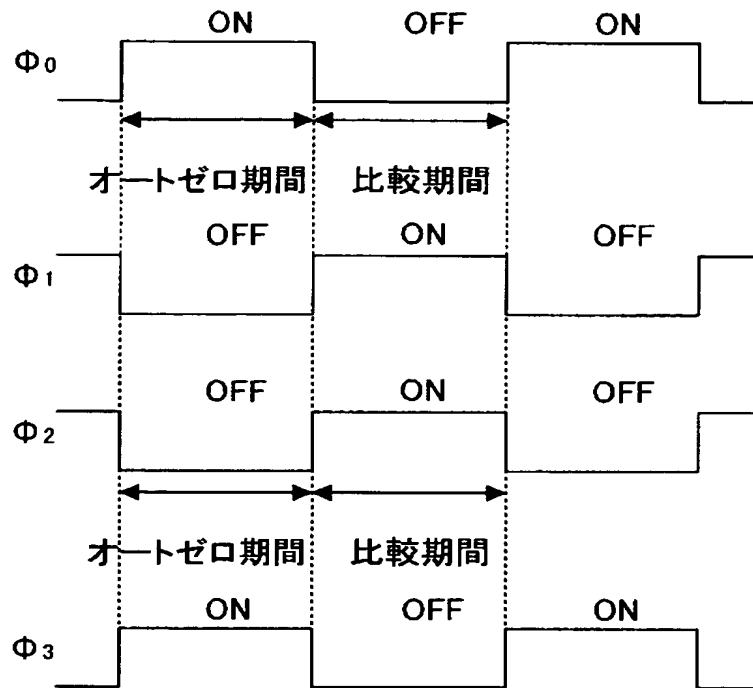
【図 5】

本発明による A/D 変換器の構成の一例を示す回路図



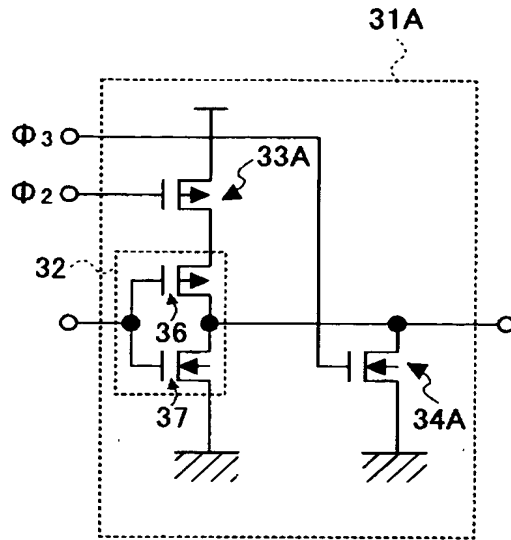
【図 6】

電源供給スイッチを制御するタイミング信号と出力信号固定
スイッチを制御するタイミング信号とを示すタイミング図



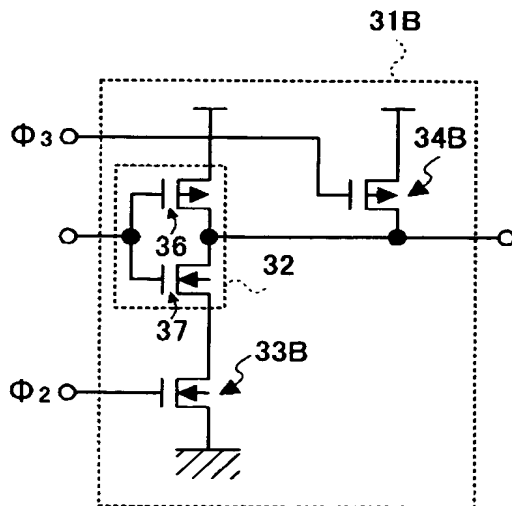
【図 7】

図 5 の A D 変換器の第 1 の実施例を示す図



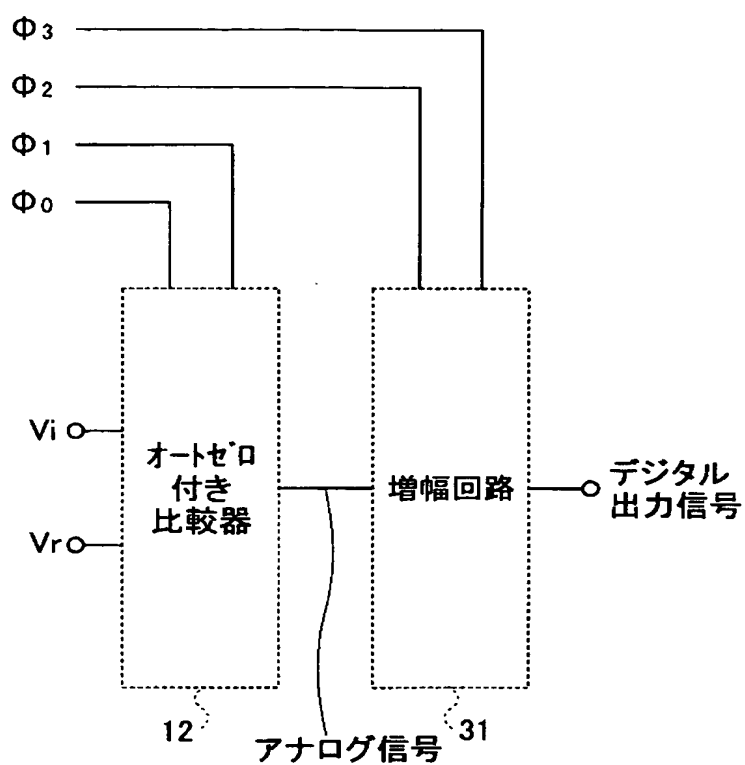
【図 8】

図 5 の A D 変換器の第 2 の実施例を示す図



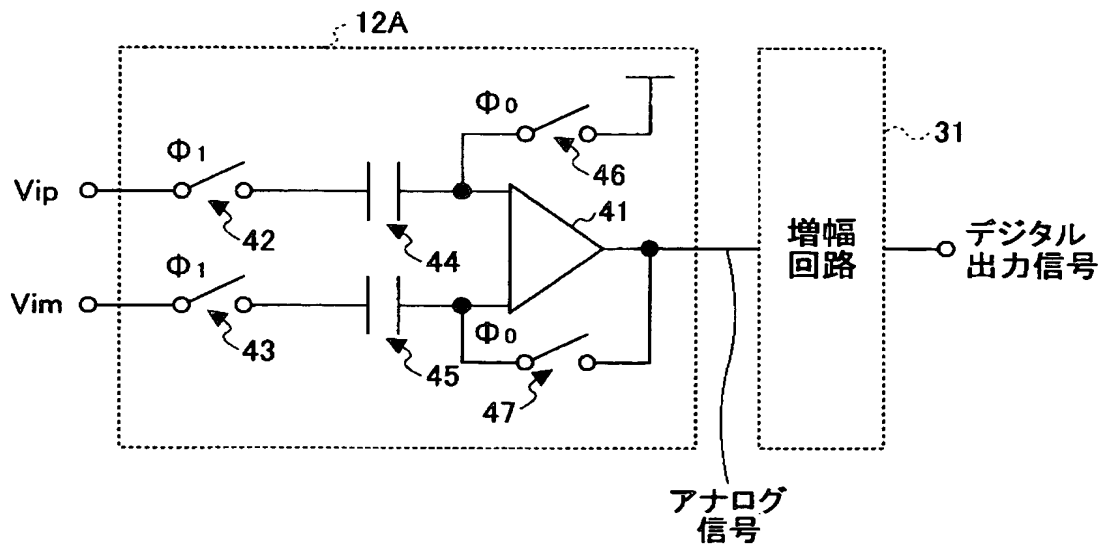
【図 9】

本発明による比較回路の第 1 実施例の構成を示す図



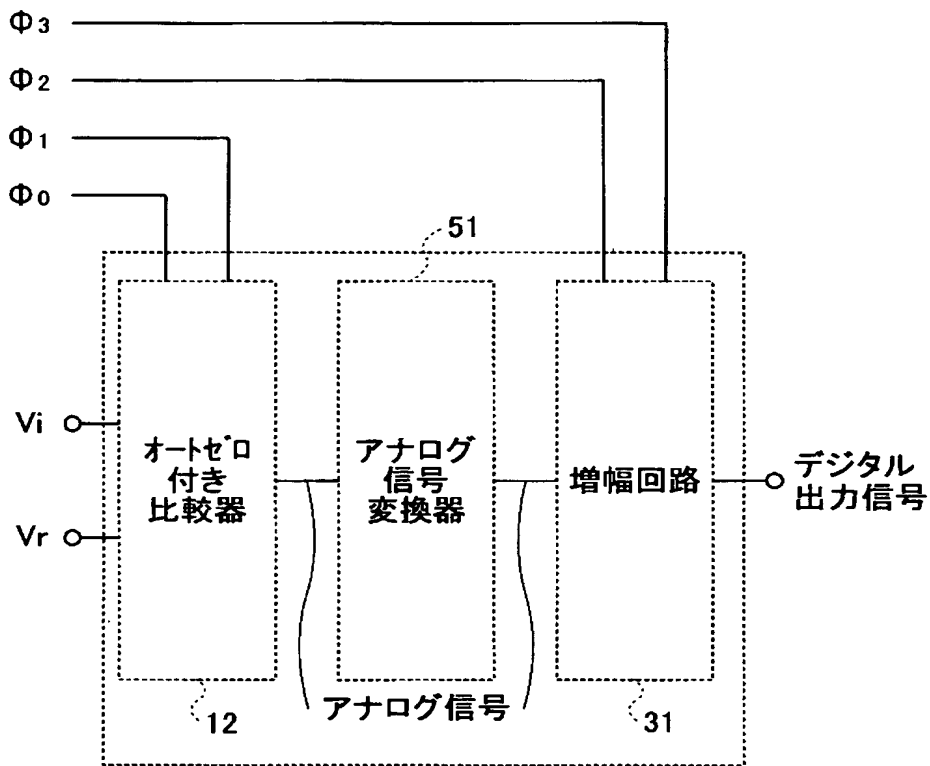
【図 10】

本発明による比較回路の第 2 実施例の構成を示す図



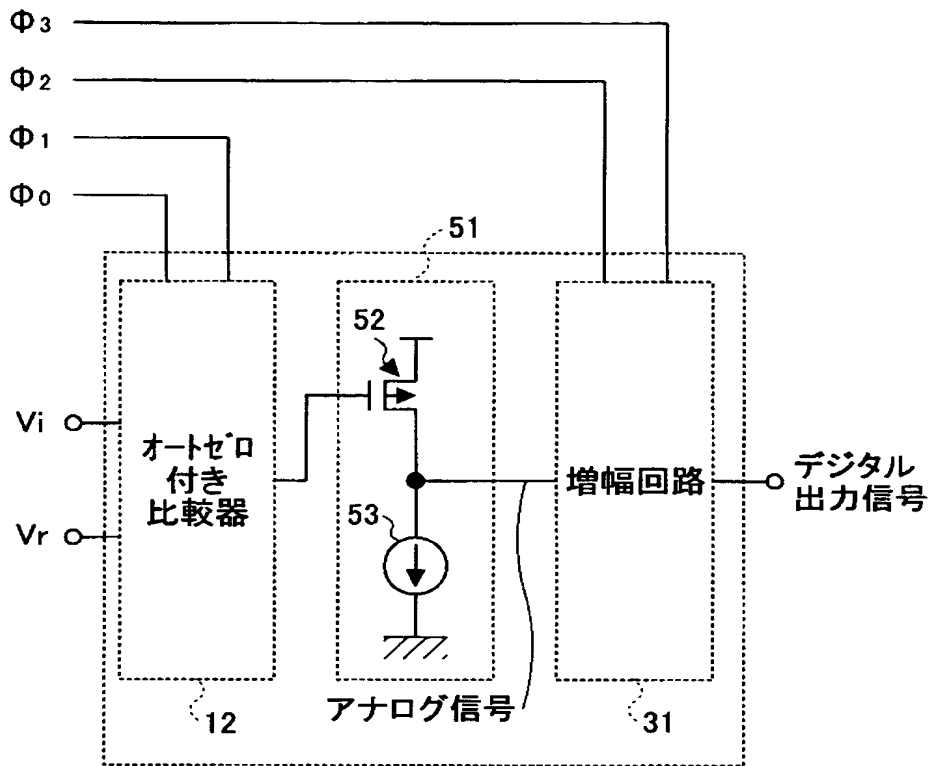
【図 11】

本発明による比較回路の第3実施例の構成を示す図



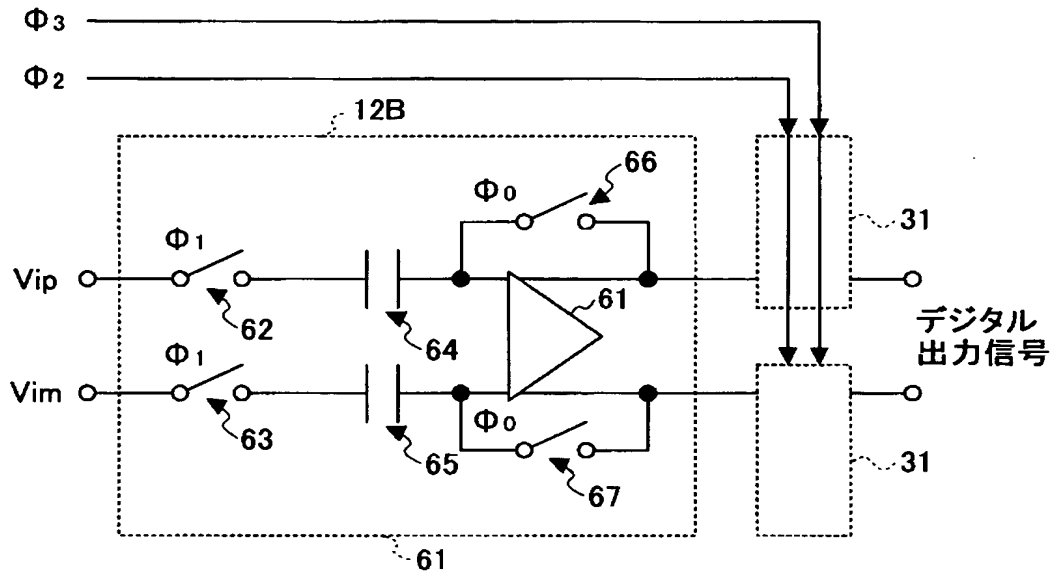
【図 12】

アナログ信号変換器の一例を示す図



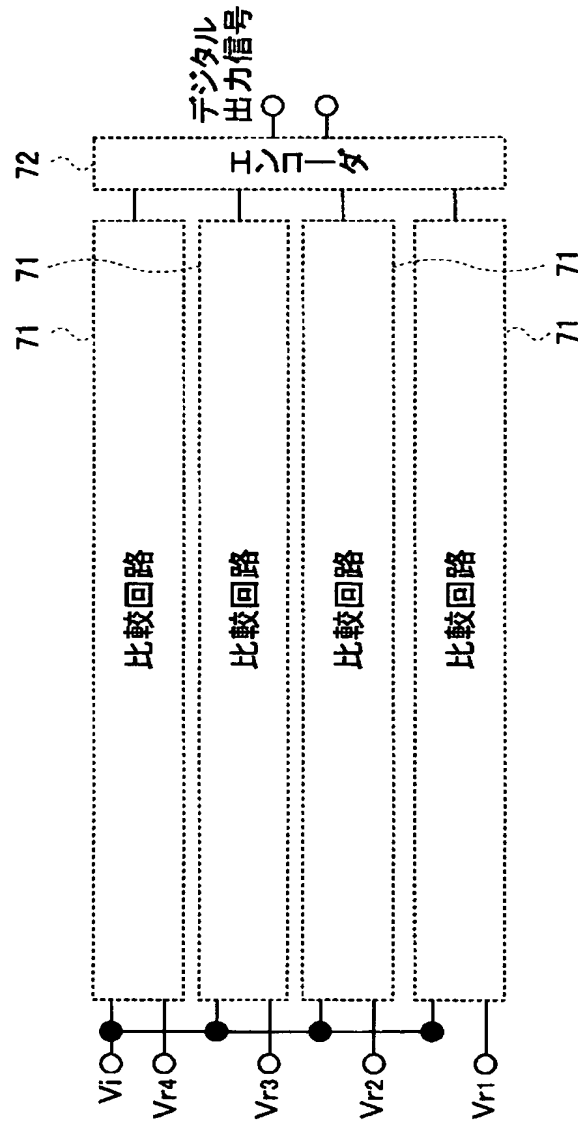
【図 13】

本発明による比較回路の第 4 実施例の構成を示す図



【図 14】

本発明による A/D 変換回路の構成の一例を示す図



【書類名】 要約書

【要約】

【課題】 本発明は、比較回路内部の貫通電流を削減すると共に次段に接続した回路の貫通電流をも削減することが可能な比較回路を提供することを目的とする。

【解決手段】 比較回路の増幅回路は、第1の期間において所定の電位であり第2の期間において所定の電位と異なる電位である入力アナログ信号を増幅してデジタル信号を出力する増幅器と、増幅器への電源供給を第1の期間において停止する第1のスイッチと、増幅器の出力を第1の期間において所定の電位に固定する第2のスイッチを含む。

【選択図】 図5

特願 2 0 0 2 - 3 6 0 8 2 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社